

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Tomoo YAMASAKI, et al.

Application No.:

Group Art Unit:

Filed: September 30, 2003

Examiner:

For: THIN-FILM CAPACITOR DEVICE, MOUNTING MODULE FOR THE SAME, AND
METHOD FOR FABRICATING THE SAME

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)
herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2002-292562

Filed: October 4, 2002

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing
date(s) as evidenced by the certified papers attached hereto, in accordance with the
requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: September 30, 2003

By: 

H. J. Staas
Registration No. 22,010

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年10月4日
Date of Application:

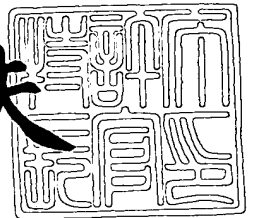
出願番号 特願2002-292562
Application Number:
[ST. 10/C]: [JP2002-292562]

出願人 新光電気工業株式会社
Applicant(s):

2003年8月28日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3070340



【書類名】 特許願

【整理番号】 1024435

【提出日】 平成14年10月 4日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01G 4/33
H01G 2/06
H01G 4/10

【発明の名称】 薄膜コンデンサ装置、その実装モジュール及び製造方法

【請求項の数】 9

【発明者】

 【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

 【氏名】 山崎 智生

【発明者】

 【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

 【氏名】 大井 淳

【発明者】

 【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

 【氏名】 六川 昭雄

【特許出願人】

 【識別番号】 000190688

 【氏名又は名称】 新光電気工業株式会社

【代理人】

 【識別番号】 100077517

 【弁理士】

 【氏名又は名称】 石田 敬

 【電話番号】 03-5470-1900

【選任した代理人】

【識別番号】 100100871

【弁理士】

【氏名又は名称】 土屋 繁

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【その他】 国等の委託研究の成果に係る特許出願（平成 1 4 年度新エネルギー・産業技術総合開発機構基盤技術研究促進事業（民間基盤技術研究支援制度）委託研究、産業活力再生特別措置法第 3 0 条の適用を受けるもの）

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709241

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜コンデンサ装置、その実装モジュール及び製造方法

【特許請求の範囲】

【請求項 1】 コア基板面上に形成された下部電極と、
前記下部電極上に形成された金属膜から生成された誘電体膜と、
前記誘電体膜上に形成された上部電極と、
前記下部電極から前記コア基板の反対面に延びる第 1 の導電体とを有し、
第 1 の導電体に第 1 の電極パッドを設け、前記上部電極に接続された第 2 の導電体に第 2 の電極パッドを設けた薄膜コンデンサ装置。

【請求項 2】 前記金属膜は、タンタル又はチタンであり、
前記誘電体膜は、前記タンタル又はチタンが陽極酸化されて生成されることを特徴とする請求項 1 に記載の薄膜コンデンサ装置。

【請求項 3】 第 1 の導電体は、前記コア基板に開けられた溝内に前記下部電極の形成時に充填され、

前記コア基板の反対面は、該コア基板が前記溝まで研磨されて形成されることを特徴とする請求項 1 又は 2 に記載の薄膜コンデンサ装置。

【請求項 4】 前記金属膜は、選択的に陽極酸化されることにより、誘電体膜領域と第 1 及び第 2 の金属膜領域とに区分され、

第 1 の金属膜領域の下面には前記下部電極に接続された第 1 の導電体が接続され、

第 1 の金属膜領域の上面には第 3 の導電体が接続され、

第 2 の金属膜領域の上面には前記上部電極に接続された第 2 の導電体が接続され、

第 2 の金属膜領域の下面には第 4 の導電体が接続され、

第 1 乃至第 4 の導電体の夫々に第 1 乃至第 4 の電極パッドを設け、前記誘電体膜領域と、前記上部電極と、前記下部電極とでコンデンサが形成されることを特徴とする請求項 2 又は 3 に記載の薄膜コンデンサ装置。

【請求項 5】 請求項 4 に記載の薄膜コンデンサ装置と、外部接続端子を有する積層配線回路とを内蔵し、

前記薄膜コンデンサ装置に設けられた第1の電極パッドと第4の電極パッドが前記積層配線回路に接続され、前記薄膜コンデンサ装置に設けられた第2の電極パッドと第3の電極パッドに半導体装置が接続されることを特徴とする薄膜コンデンサ装置の実装モジュール。

【請求項6】 複数の前記薄膜コンデンサ装置が内蔵され、

前記薄膜コンデンサ装置の夫々に設けられた第1の電極パッドと第4の電極パッドが前記積層配線回路に接続されていることを特徴とする請求項5に記載の実装モジュール。

【請求項7】 コア基板の第1の面に所定深さの溝を形成した後、第1の面上に第1の導電体膜を形成するとともに前記溝内に第1の導電体を充填するステップと、

第1の導電体膜上に金属膜を形成した後、該金属膜の陽極酸化により誘電体膜を生成するステップと、

前記誘電体膜上に第2の導電体膜を形成し、第2の導電体膜に接続された第1の電極を形成するステップと、

前記コア基板の反対側に係る第2の面部分を取り除いた後、前記溝内の第1の導電体に接続する第2の電極を形成するステップとを含む薄膜コンデンサ製造方法。

【請求項8】 第1の面に互いに離れた第1の溝と第2の溝を形成した後、第1の面上に第1の導電体膜を形成するとともに第1及び第2の溝内に第1の導電体を充填するステップと、

第1及び第2の溝が形成されてない部分に対応する前記金属膜を前記誘電体膜に生成するステップと、

第1の溝と第2の溝に係る第1の導電体膜を絶縁体で分離するステップと、

第1の溝に対応する前記金属膜上の第2の導電体膜を取り除いた後、前記金属膜上に第2の導電体膜と絶縁した第3の電極を形成するステップと、

第2の溝に充填された第1の導電体膜に接続され、第2の電極と絶縁した第4の電極を形成するステップを含むことを特徴とする請求項7に記載の薄膜コンデンサ製造方法。

【請求項 9】 前記金属膜は、タンタル又はチタンであり、
前記誘電体膜は、前記タンタル又はチタンを陽極酸化することによって生成されることを特徴とする請求項 7 又は 8 に記載の薄膜コンデンサ製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体パッケージに組み込まれる薄膜コンデンサ装置と、その製造方法に関し、特に、プリント配線基板に L S I と共に実装される薄膜コンデンサであり、寄生インダクタンスの発生を抑制でき、コア基板を薄化することによりコンデンサ装置の小型化を図ることができる薄膜コンデンサ装置、その実装モジュール及びその製造方法に関する。

【0002】

【従来の技術】

近年、電子機器に使用されているデジタル L S I 半導体装置は、演算速度の高速化及び低消費電力化による電源電圧の低減が進められている。この L S I におけるインピーダンスの急激な変動などによって、L S I の動作電源電圧が不安定になるので、この電源電圧を安定させ、かつ、L S I の電圧電源ラインとグラウンドラインとの間にバイパス用コンデンサが配置されている。また、高速動作デジタル L S I は、より高周波 (G H z) 領域での安定した動作が要求されており、そのため、高周波ノイズを低減させ、高周波ノイズによる L S I の誤動作を防止するようにしている。

【0003】

従来のバイパス用コンデンサには、チップコンデンサが使われ、このチップコンデンサは、マザーボードである回路基板上に L S I チップ近傍に設けて実装されるが、チップコンデンサと L S I チップとの間で配線の引き回しが必要となり、そのため、これらのリード間では比較的大きなインダクタンスが存在する。従って、チップコンデンサを設けても、高速動作の L S I に対しては、電源電圧変動の抑制及び高周波ノイズの低減の効果は少なくなってしまう。

【0004】

バイパス用コンデンサの配置は、基板回路の等価直列抵抗及び等価直列インダクタンスを低減するためであり、バイパス用コンデンサとLSIとの間の配線の引き回しによるインダクタンスの増加は、バイパス用コンデンサの高周波特性を妨げる結果となっている。そこで、LSIの直下にバイパス用コンデンサを配置することによって、LSIとバイパス用コンデンサとの配線距離を最短にしてインダクタンスを低減させることが提案されている（例えば、特許文献1を参照）。

【0005】

この提案された従来のバイパス用コンデンサの実装について、図5にその概略構成を示した。LSI1と回路基板3との間に、一つのLSIに対する一つのコンデンサ装置として、バイパス用コンデンサを内蔵する複数のコンデンサ装置2が積層され、配置されている。このコンデンサ装置2の積層によって、実装面積を増やさずにバイパス用コンデンサの容量を大きくするようにしている。図5では、LSI1を1つ示したが、実際には、回路基板3の表面に、複数のLSI1が搭載されるとともに、その裏面にも、LSIが搭載される場合もある。このような構成によって、マルチチップモジュールに実装において、寄生インダクタンスを低減して、LSI1の高周波領域での動作を安定させ、しかも、回路動作の高速化を図っている。

【0006】

そこで、図5に示されるコンデンサ装置2に内蔵されるバイパス用コンデンサの内部構成について、図6にその概略断面で示した。

【0007】

このバイパス用コンデンサ3の製造手順を説明すると、基板10は、シリコン単体又はシリコン含有絶縁膜、或いは、サファイアからなり、基板10に、スルーホール11a乃至11eを形成し、この各スルーホール内に導電体を充填するとともに基板10の上面に導電体膜12を形成する。導電体膜12をパターンニングして下部電極を形成後、下部電極上に誘電体による容量絶縁膜13を形成する。そして、容量絶縁膜13上に上部電極となる導電体膜14を形成する。さらに、上下の両面に絶縁膜15及び16が形成され、上部電極パッド17a乃至17

eと下部電極パッド18a乃至18eとが設けられて、バイパス用コンデンサ3が作成される。

【0008】

図6に示されるバイパス用コンデンサ3では、上部電極パッド17a及び17eがLSI1の電源ラインに、上部電極パッド17b及び17dがLSI1のグラウンド(GND)ラインに、さらに、上部電極パッド17cが信号ラインに夫々接続される。また、下部電極パッド17a及び17eが回路基板3の電源ラインに、下部電極パッド18b及び18dが回路基板3のグラウンド(GND)ラインに、さらに、下部電極パッド18cが回路基板3の信号ラインに夫々接続される。

【0009】

このバイパス用コンデンサの製造にあたっては、基板10の表面から裏側まで貫通したスルーホールを形成しており、これには、ドライエッチング技術や、レーザーを用いた加工技術で微細なスルーホールを形成することができる。基板10に開けられた各スルーホール内に導電体11が充填され、基板10上において、下部電極12と、容量絶縁膜13と、上部電極14とが、この順に積層されてなるコンデンサが形成されている。これにより、実装面積の小さいコンデンサ装置の製造を可能にしている。

【0010】

また、容量絶縁膜13中に、上部電極14及び下部電極12と対向して、少なくとも1つの中間電極を介在させている。この中間電極が電氣的に浮いた状態にある場合、上部電極14及び下部電極12の間には複数のコンデンサが直列に形成されることになる。これにより、直列接続されたコンデンサのうち一部のコンデンサの電極同士がショートしても、一部のコンデンサは、コンデンサとしての機能を保持しているので、コンデンサ装置自体が不良にならない。従って、コンデンサ装置の歩留りおよび信頼性を向上させることができる。

【0011】

これにより、上部電極14と誘電体膜13と下部電極12からなるコンデンサを並列に接続する構成とすることができるので、大きな容量のコンデンサ装置を

容易に製造することができる。また、マザーボードである回路基板に、半導体装置である L S I とコンデンサ装置とを積層して相互接続し、モジュール化することができる。即ち、コンデンサ装置の上面の接続電極に対応する位置に L S I の接続電極を形成し、コンデンサ装置下面の接続電極に対応する位置に回路基板の接続電極を形成しておく、それらの接続電極同士が対応するように、L S I、コンデンサ装置及び回路基板を積層して配置することができる。

【0012】

これにより、最短距離で L S I とコンデンサ装置、コンデンサ装置と回路基板を上下方向で夫々相互接続が可能となり、このため、半導体装置及び回路基板とコンデンサ装置との配線距離を短くすることができ、回路配線のインダクタンスを低減することができるので、高周波数領域での回路動作の性能向上を図ることができる。

【0013】

【特許文献1】

特開 2002-8942 号公報

【0014】

【発明が解決しようとする課題】

一方、マザーボードであるセラミック回路基板にコンデンサを内蔵して L S I とコンデンサとの配線距離を短くしてインダクタンスを低減させる構成によるコンデンサ装置の場合においては、セラミック回路基板による場合に容量絶縁膜の材料である高誘電体の焼成温度が 700℃と高温であること、強誘電体を積層する製造上の難しさ、コンデンサ内蔵のセラミックス回路基板の歩留り向上に限界があること、配線ピッチを小さくする上でのセラミック回路基板へのスルーホールの微細加工に限界があることなどの問題があった。

【0015】

上述した構成による従来のバイパス用のコンデンサ装置によれば、これらの問題に対処することができるようになり、高速デジタル L S I に対応したバイパス用のコンデンサ装置を製造でき、高周波領域に対応するための、回路基板への実装面積が小さく、かつ大きな容量をもつコンデンサ装置を提供することができ

た。

【0016】

ところで、上述の従来のコンデンサ装置では、コンデンサの形成の基礎となるコア基板10に、厚さが $300\mu\text{m}$ であり、シリコン単体又はシリコン含有絶縁膜、或いは、サファイアなどを用いているが、LSI側の上部電極パッド17a乃至17eと回路基板側の下部電極パッド18a乃至18eとを接続するために、導電体が充填されるスルーホール11a乃至11eを開けている。このコア基板10の厚さは、コア基板10に各スルーホールが開けられた以降、コンデンサ装置の厚さを決めるものとなる。

【0017】

最近においては、デジタルLSIの動作により高速特性が求められ、コンデンサ装置をより小型化し、LSIとコンデンサ装置との間、そして、コンデンサ装置と回路基板との間の配線長をより短くして、寄生インダクタンスを低減し、パッケージの特性を向上する必要がある。そのため、コンデンサ装置を構成するコア基板の厚さをより薄くし、特に、 $50\mu\text{m}$ 以下のような薄さとすることが期待されている。しかし、従来のコンデンサ装置では、コンデンサ形成の手順において、各スルーホールを最初に開けざるを得ず、製造上、このコア基板自体の厚さを薄くすることには限界があるという問題がある。

【0018】

また、図6に示されたバイパス用コンデンサ3において、そのコンデンサの容量絶縁膜13には、スパッタリングされた高誘電体材料を用いているが、処理中の熱によるコア基板の歪発生などを防止するために、低温プロセスでコンデンサを形成する必要がある。

【0019】

そこで、本発明は、上述の問題点を鑑みてなされたものであり、大きな容量を容易に得ることができ、かつ微細加工が可能で、回路基板への実装面積を小さくすることができる薄膜コンデンサ装置、その実装モジュール及び製造方法を提供することを目的とする。

【0020】

【課題を解決するための手段】

以上の課題を解決するため、本発明では、コア基板面上にバイパス用コンデンサを形成した薄膜コンデンサ装置において、コア基板面上に形成された下部電極と、前記下部電極上に形成された金属膜から生成された誘電体膜と、前記誘電体膜上に形成された上部電極と、前記下部電極から前記コア基板の反対面に延びる第1の導電体とを有し、第1の導電体に第1の電極パッドを設け、前記上部電極に接続された第2の導電体に第2の電極パッドを設けた。

【0021】

そして、前記金属膜は、タンタル又はチタンであり、前記誘電体膜は、前記タンタル又はチタンが陽極酸化されて生成されることとし、第1の導電体は、前記コア基板に開けられた溝内に前記下部電極の形成時に充填され、前記コア基板の反対面は、該コア基板が前記溝まで研磨されて形成されることとした。

【0022】

さらに、前記金属膜は、選択的に陽極酸化されることにより、誘電体膜領域と第1及び第2の金属膜領域とに区分され、第1の金属膜領域の下面には前記下部電極に接続された第1の導電体が接続され、第1の金属膜領域の上面には第3の導電体が接続され、第2の金属膜領域の上面には前記上部電極に接続された第2の導電体が接続され、第2の金属膜領域の下面には第4の導電体が接続され、第1乃至第4の導電体の夫々に第1乃至第4の電極パッドを設け、前記誘電体膜領域と、前記上部電極と、前記下部電極とでコンデンサが形成するようにした。

【0023】

また、本発明による薄膜コンデンサ装置の実装モジュールでは、上記の薄膜コンデンサ装置と、外部接続端子を有する積層配線回路とを内蔵するようにし、前記薄膜コンデンサ装置に設けられた第1の電極パッドと第4の電極パッドが前記積層配線回路に接続され、前記薄膜コンデンサ装置に設けられた第2の電極パッドと第3の電極パッドに半導体装置が接続されることとし、さらに、複数の前記薄膜コンデンサ装置が内蔵され、前記薄膜コンデンサ装置の夫々に設けられた第1の電極パッドと第4の電極パッドが前記積層配線回路に接続されるようにした。

【0024】

また、本発明による薄膜コンデンサ装置の製造方法において、コア基板の第1の面に所定深さの溝を形成した後、第1の面上に第1の導電体膜を形成するとともに前記溝内に第1の導電体を充填するステップと、第1の導電体膜上に金属膜を形成した後、該金属膜の陽極酸化により誘電体膜を生成するステップと、前記誘電体膜上に第2の導電体膜を形成し、第2の導電体膜に接続された第1の電極を形成するステップと、前記コア基板の反対側に係る第2の面部分を取り除いた後、前記溝内の第1の導電体に接続する第2の電極を形成するステップとを含めた。

【0025】

さらに、第1の面に互いに離れた第1の溝と第2の溝を形成した後、第1の面上に第1の導電体膜を形成するとともに第1及び第2の溝内に第1の導電体を充填するステップと、第1及び第2の溝が形成されていない部分に対応する前記金属膜を前記誘電体膜に生成するステップと、第1の溝と第2の溝に係る第1の導電体膜を絶縁体で分離するステップと、第1の溝に対応する前記金属膜上の第2の導電体膜を取り除いた後、前記金属膜上に第2の導電体膜と絶縁した第3の電極を形成するステップと、第2の溝に充填された第1の導電体膜に接続され、第2の電極と絶縁した第4の電極を形成するステップを含めることとした。

【0026】

前記製造方法における前記金属膜は、タンタル又はチタンであり、前記誘電体膜は、前記タンタル又はチタンを陽極酸化することによって生成されることとした。

【0027】**【発明の実施の形態】**

次に、本発明の薄膜コンデンサ装置とその製造方法に関する実施形態について、図1乃至図4を参照して説明する。

【0028】

上述した従来のコンデンサ装置では、コンデンサ装置の基礎部分となるコア基板の上側と下側と電氣的に接続するために、コンデンサ形成の最初において、コ

コア基板を貫通し導電体を充填できるスルーホールを開けていた。このときのコア基板の厚さは、配線中の寄生インダクタンスの低減という観点では、できるだけ薄い方がよいということになるが、コア基板への種々の処理における取り扱い易さなどの生産性の都合から、その厚さに限界があり、L S I のより高周波領域における動作に対応することができなかった。

【 0 0 2 9 】

そこで、本実施形態における薄膜コンデンサ装置においては、コア基板には、複数の溝を形成し、下部電極を形成する導電体を充填し、バイパス用コンデンサをコア基板上に形成後、該コア基板のコンデンサ形成と反対側の背面を該導電体までを研磨により取り去るようにした。この露出した導電体に下部電極パッドを形成した。これにより、コア基板に上側と下側に貫通する孔を形成する必要がなくなり、コア基板自体の厚さをより薄くすることができる。

【 0 0 3 0 】

また、従来のコンデンサ装置では、容量絶縁膜が、高誘電率の酸化金属のスパッタリングによって生成されているが、本実施形態の薄膜コンデンサ装置では、コア基板に、リコン単体又はシリコン含有絶縁膜、或いは、サファイアなどの他にも、有機材料基板をも使用できるように、より低温のプロセスで処理するため、さらには、コア基板の熱による歪を低減することをも考慮して、容量絶縁膜には、バルブ金属膜を生成後に、選択的に陽極酸化するようにした。このような生成手法を採用することにより、従来のコンデンサ装置では、下部電極をパターンニングした後に容量絶縁膜をスパッタリングしているところから、上部電極の平坦性が損なわれていたが、本実施形態の薄膜コンデンサ装置では、コア基板表面に形成された導電膜上に重ねてバルブ金属膜を形成した後に、選択的に高誘電体膜を生成するようにして、コンデンサの平坦化を図り、よって、コア基板上に形成されるコンデンサの厚さの低減をも図ることができる。

【 0 0 3 1 】

そこで、本実施形態による薄膜コンデンサ装置の構成について、図 1 に示した。図 1 は、コンデンサ装置の断面を示しており、膜の厚さ、電極などの大きさは、説明の都合により、部分的に誇張した概略の構成で示した。上部電極パッド 3

3 a 及び 3 3 e が L S I 1 の信号ラインに、上部電極パッド 3 3 b 及び 3 3 d が L S I 1 のグラウンド (GND) ライン又は電源ラインに、さらに、上部電極パッド 3 3 c が電源ラインもしくは GND ラインに夫々接続され、また、下部電極パッド 3 5 a 及び 3 5 e が回路基板 3 の信号ラインに、下部電極パッド 3 5 b 及び 3 5 d が回路基板 3 のグラウンド (GND) ラインもしくは電源ラインに、さらに、下部電極パッド 3 5 c が回路基板 3 の電源ラインもしくは GND ラインに夫々接続される。

【0032】

図 1 の薄膜コンデンサ装置では、コア基板 2 0 にシリコン単体を使用した場合の例を示しており、下部電極などの導電体がコア基板 2 0 と絶縁されるように、第 1 の絶縁膜 2 2 が設けられている。コア基板 2 0 が、有機材料などの絶縁性であれば、この第 1 の絶縁膜 2 2 は、不要である。

【0033】

この第 1 の絶縁膜 2 2 上に、下部電極となる第 1 の導電体 2 4、バルブ金属、例えば、タンタルによる金属膜 2 5 が形成されている。この金属膜 2 5 には、コンデンサを形成する領域のみに対して陽極酸化された高誘電体膜 2 6 が生成されている。第 3 の絶縁膜 2 8 によって、金属膜 2 5 と第 1 の導電体 2 2 が複数に分離され、複数の下部電極が形成されている。金属膜 2 5 上には、第 2 の導電体 2 9 が形成され、第 4 の絶縁膜 3 1 によって絶縁されて上部電極を形成している。第 3 の導電体 3 3 が形成されて、上部電極パッド 3 3 a 乃至 3 3 e が取り付けられる。

【0034】

コア基板 2 0 の裏面には、第 5 の絶縁膜 3 4 が設けられ、第 1 の溝 2 1 a 乃至 2 1 e 内の第 1 の導電体 2 4 に下部電極パッド 3 5 a 乃至 3 5 e が取り付けられる。ここで、金属膜 2 5 の陽極酸化されなかった領域は、その上面に第 2 の導電体 2 9 が接触し、その下面に第 1 の導電体 2 4 が接触しているため、上部電極パッド 3 3 a 乃至 3 3 e の夫々と、それらに対応する下部電極パッド 3 5 a 乃至 3 5 e との電気信号の電流路となっている。第 3 の絶縁膜 2 8 は、金属膜 2 5 を電氣的に分離する役割も持っている。

【0035】

以上のように、本実施形態の薄膜コンデンサ装置は、コア基板20の上面において、第1の導電体24の下部電極と第2の導電体29の上部電極とで、高誘電体膜26を挟む構成によって、バイパス用コンデンサを形成している。

【0036】

次に、図1に示された構成による本実施形態の薄膜コンデンサ装置の製造手順について、図2及び図3を参照して説明する。ここで、示される製造手順によるものも、コア基板に、シリコン単体を使用した場合を例にしている。

【0037】

先ず、バイパス用コンデンサが形成される予定の基板となる厚さより厚い所定厚さを有するコア基板20の片方の表面において、下部電極パッド35a乃至35eに接続される深さの第1の溝21a乃至21eを、エッチングなどにより開ける。そして、第1の溝の内周面を含めてコア基板20全体の表面に、例えば、熱酸化によって、酸化ケイ素による第1の絶縁膜22を成膜する。コア基板20の裏面にも、第2の絶縁膜23が成膜される。第2の絶縁膜23は、後の工程における保護膜として機能する。この状態を図2(a)に示した。

【0038】

次いで、第1の絶縁膜22上に、例えば、銅によるめっきなどで、第1の導電体膜24を成膜するが、第1の溝21a乃至21e内にも、第1の導電体24が充填され、第1の導電体膜24を所定厚さにすることにより、第1の導電体膜24の表面は、平坦なものとなる。そして、所定厚さの金属膜25をスパッタによって第1の導電体膜24上に形成する。金属膜25の材料には、コンデンサの特性を考慮して、タンタルTaを用いた。チタンTiでもよく、低温の陽極酸化により高誘電体膜を生成できれば採用することができる。

【0039】

その後、金属膜25上で第1の溝21a乃至21eの存在部分をマスキングするなどして、金属膜25のマスキングされていない領域について陽極酸化する。このマスキングにより、金属膜25の上面で見たとき、高誘電体膜領域と金属膜領域とに区分される。この陽極酸化は、100℃程度の通常の方法によるもので

あり、タンタルTaを金属膜25の面について選択的に酸化タンタルにし、高誘電体膜26を生成する。この高誘電体膜26の厚さは、金属膜25の膜厚方向で調整できる。金属膜25の膜厚全部を高誘電体膜26としてもよく、金属膜25の表面部分に止めておくこともできるが、バイパス用コンデンサの容量で決まる。ここでの金属膜25の表面は、高誘電体膜26が選択的に生成された後においても平坦性を維持している。この段階での製造状態が図2(b)に示されている。

【0040】

その後、図2(c)に示されるように、エッチングなどによって、第1の導電体膜24と金属膜25とを合わせてパターンニングする。このパターンニングによる複数の第2の溝27が、下部電極を分離形成する。従って、第2の溝27は、第1の絶縁膜22の上面までの深さである。

【0041】

次に、パターンニングされた複数の第2の溝27に第3の絶縁膜28が形成される。第3の絶縁膜28は、分離形成された下部電極を互いに絶縁するものである。第3の絶縁膜28は、金属膜25の表面の平坦性を損なわない程度に、パターンニング時にその頭部が残されている。その様子が、図2(d)に示されている。

【0042】

そこで、金属膜25の上に、銅などをスパッタリング又はめっきによって、第2の導電体膜29を成膜する。そして、高誘電体膜26が生成されている領域を上部電極となるように、第2の導電体膜29をパターンニングして、複数の第3の溝30を形成する。この状態が、図3(e)に示される。

【0043】

続いて、複数の第3の溝30にも埋め込まれ、さらには、第2の導電体膜29を覆うように、第4の絶縁膜31が成膜される。そして、第1の溝21a乃至21eの位置に対応する部分のみを、エッチングなどにより、成膜された第4の絶縁膜31を除去し、複数の第4の溝32を形成する。この状態が、図3(f)に示される。

【0044】

次いで、図3(g)に示されるように、銅などのめっきにより、第4の絶縁膜3

1 上に第 3 の導電体膜 33 を成膜する。成膜された第 3 の導電体膜 33 をパターンニングすることによって、上部電極パッド 33 a 乃至 33 e を形成する。

【0045】

そして、コンデンサが形成されたコア基板 20 の裏側において、第 2 の絶縁膜 23 を除去し、第 1 の溝 21 a 乃至 21 e 内に充填された第 1 の導電体 24 が露出するまで、コア基板 20 自体を研磨する。第 1 の導電体 24 が露出したところで、第 5 の絶縁膜 34 を全面に成膜する。この状態が、図 3 (h) に示される。

【0046】

さらに、第 1 の導電体 24 の位置する部分の第 5 の絶縁膜 34 を除去し、銅めっきなどで第 4 の導電体 35 を成膜する。そして、この第 4 の導電体 35 をパターンニングすることにより、下部電極パッド 35 a 乃至 35 e を形成する。これで、1 枚のシリコン単体によるコア基板上にバイパス用コンデンサを形成された図 1 に示される薄膜コンデンサ装置が製造されたことになる。

【0047】

これまで、本実施形態による薄膜コンデンサ装置の構成とその製造手順について、説明してきたが、図 5 に示されるように、本実施形態の薄膜コンデンサ装置を実際に LSI の真下に配置した具体的実施例を、図 4 に示した。

【0048】

図 4 に示した具体例では、図 1 に示された本実施形態による薄膜コンデンサ装置がパッケージ 40 の内部に埋め込まれている。図 4 では、薄膜コンデンサ装置の一つを中心に示している。パッケージ 40 の上面に、薄膜コンデンサ装置の上部電極パッド 33 a 乃至 33 e が配列されるように、埋め込まれている。そして、薄膜コンデンサ装置の下部電極パッド 35 a 乃至 35 e は、パッケージ 40 内に組み込まれた多層配線 41 に接続されている。パッケージ 40 の下側の面には、図 5 に示された I/O ピン 4 と同様の役割を持ち、積層配線 41 に接続された接続端子 42 が設けられている。

【0049】

パッケージ 40 の内部に設けられた積層配線 41 は、図 5 の例に対応させると、回路基板 3 の配線に相当し、パッケージ 40 が回路基板の役割を担っている。

パッケージ 4 0 の上面に配列された上部電極パッド 3 3 a 乃至 3 3 e には、L S I の対応電極が接続され、パッケージ 4 0 には、同様の薄膜コンデンサ装置が複数埋め込まれており、薄膜コンデンサ装置の各々に L S I を搭載することができる。

【 0 0 5 0 】

この様に、薄膜コンデンサ装置と積層配線とを一体的にモジュール化することにより、配線を可能な限り短くすることができ、配線による寄生インダクタンスを低減することができる。しかも、パッケージの更なる小型化を図ることができる。

【 0 0 5 1 】

【発明の効果】

以上のように、本発明による薄膜コンデンサ装置では、コア基板に、複数の溝を形成し、下部電極を形成する導電体を充填し、バイパス用コンデンサをコア基板上に形成後、該コア基板のコンデンサ形成と反対側の背面を該導電体までを研磨により取り去り、この露出した導電体に下部電極パッドを形成したので、コア基板に上側と下側に貫通する孔を形成する必要がなくなり、最終的な薄膜コンデンサ装置におけるコア基板自体の厚さをより薄くすることができ、薄膜コンデンサ装置を小型化できる。そのため、導電体の長さを短くでき、寄生インダクタンスの低減を図れる。

【 0 0 5 2 】

しかも、薄膜コンデンサ装置におけるコア基板の薄化が最終プロセスになっているので、基板の取り扱いが容易となり、生産性が向上する。

【 0 0 5 3 】

また、薄膜コンデンサを構成する高誘電体膜の生成に、タンタル又はチタンによる金属膜の陽極酸化を用いているので、薄い高誘電体膜を生成できることから、大容量のコンデンサを形成でき、結果的に、薄膜コンデンサ装置を小型化することができる。そして、低温プロセスでコンデンサを形成できるので、コア基板の歪を防止できる。

【 0 0 5 4 】

さらに、第 1 の導電体、金属膜、そして、第 2 の導電体を順次に重ねて成膜する製造手順となっているので、形成されるコンデンサの平坦性を確保できることとなり、薄膜コンデンサ部分の薄化を図ることができる。

【 0 0 5 5 】

本発明の薄膜コンデンサ装置を積層配線とともにパッケージ化して L S I 直下に実装することにより、バイパスコンデンサが電極近傍に設置されることになり、L S I の駆動電源電圧の安定性向上を図ることができ、パッケージの特性向上となる。

【図面の簡単な説明】

【図 1】

本発明の実施形態による薄膜コンデンサの構成を説明する断面図である。

【図 2】

本実施形態の薄膜コンデンサの製造方法を工程順に説明するための断面図である。

【図 3】

図 2 に続く製造方法を工程順に説明するための断面図である。

【図 4】

本実施形態の薄膜コンデンサ装置をパッケージ化し、回路基板に組み込まれた状態を説明する図である。

【図 5】

従来のコンデンサ装置を L S I と共にプリント配線基板上に実装した状態を説明する図である。

【図 6】

従来のコンデンサ装置の構成を説明する断面図である。

【符号の説明】

1 … L S I

2 … コンデンサ装置

3 … 回路基板

4 … I / O ピン

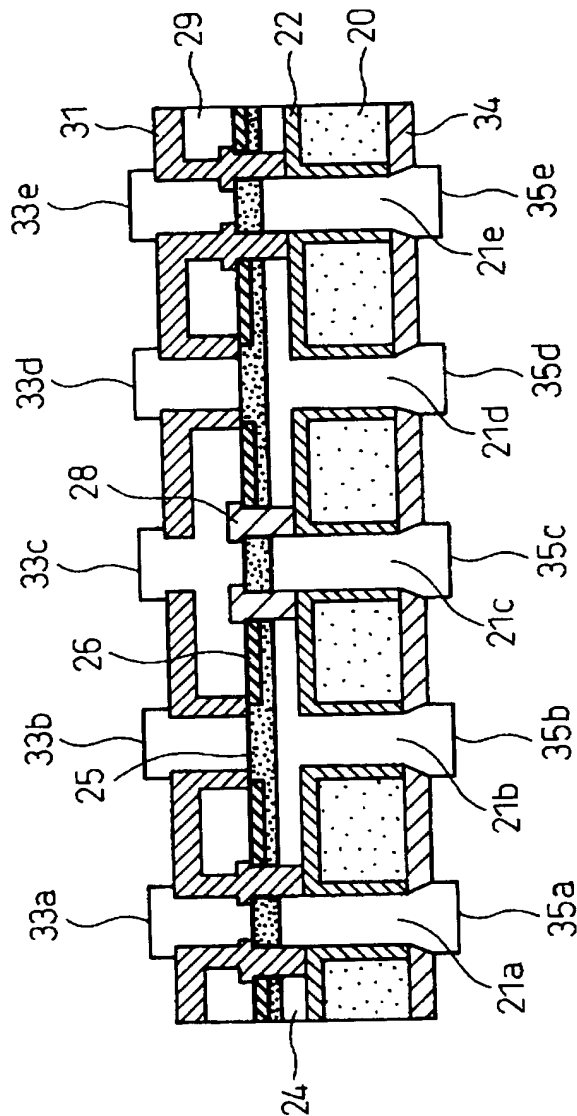
2 0 …コア基板
2 1 a 乃至 2 1 e …第 1 の溝
2 2 …第 1 の絶縁膜
2 3 …第 2 の絶縁膜
2 4 …第 1 の導電体（下部電極）
2 5 …金属膜
2 6 …誘電体膜
2 7 …第 2 の溝
2 8 …第 3 の絶縁膜
2 9 …第 2 の導電体（上部電極）
3 0 …第 3 の溝
3 1 …第 4 の絶縁膜
3 2 …第 4 の溝
3 3、3 3 a ～ 3 3 e …第 3 の導電体（表面電極パッド）
3 4 …第 5 の絶縁膜
3 5、3 5 a ～ 3 5 e …第 4 の導電体（裏面電極パッド）
4 0 …コンデンサパッケージ
4 1 …積層配線
4 2 …接続端子

【書類名】

図面

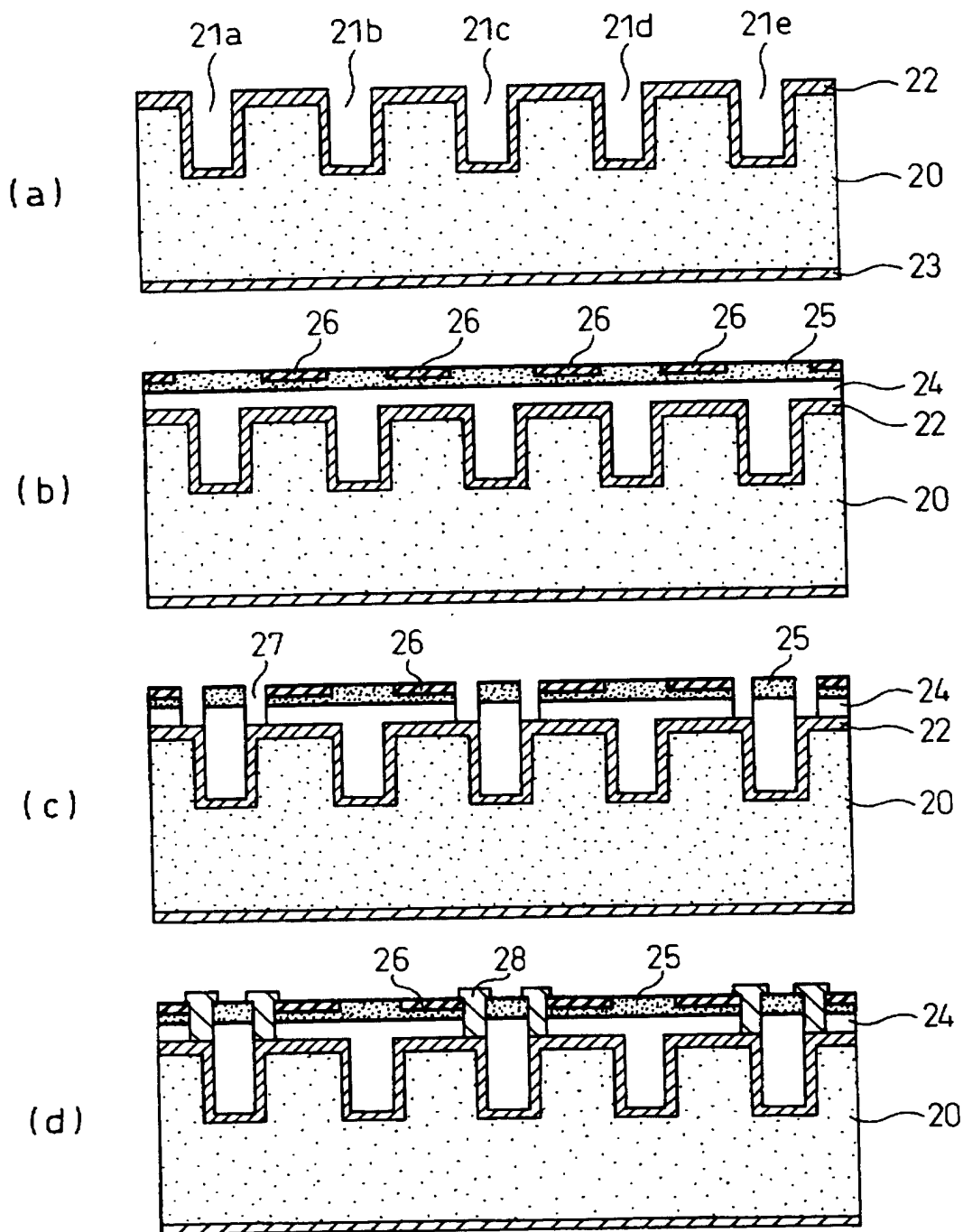
【図 1】

図 1

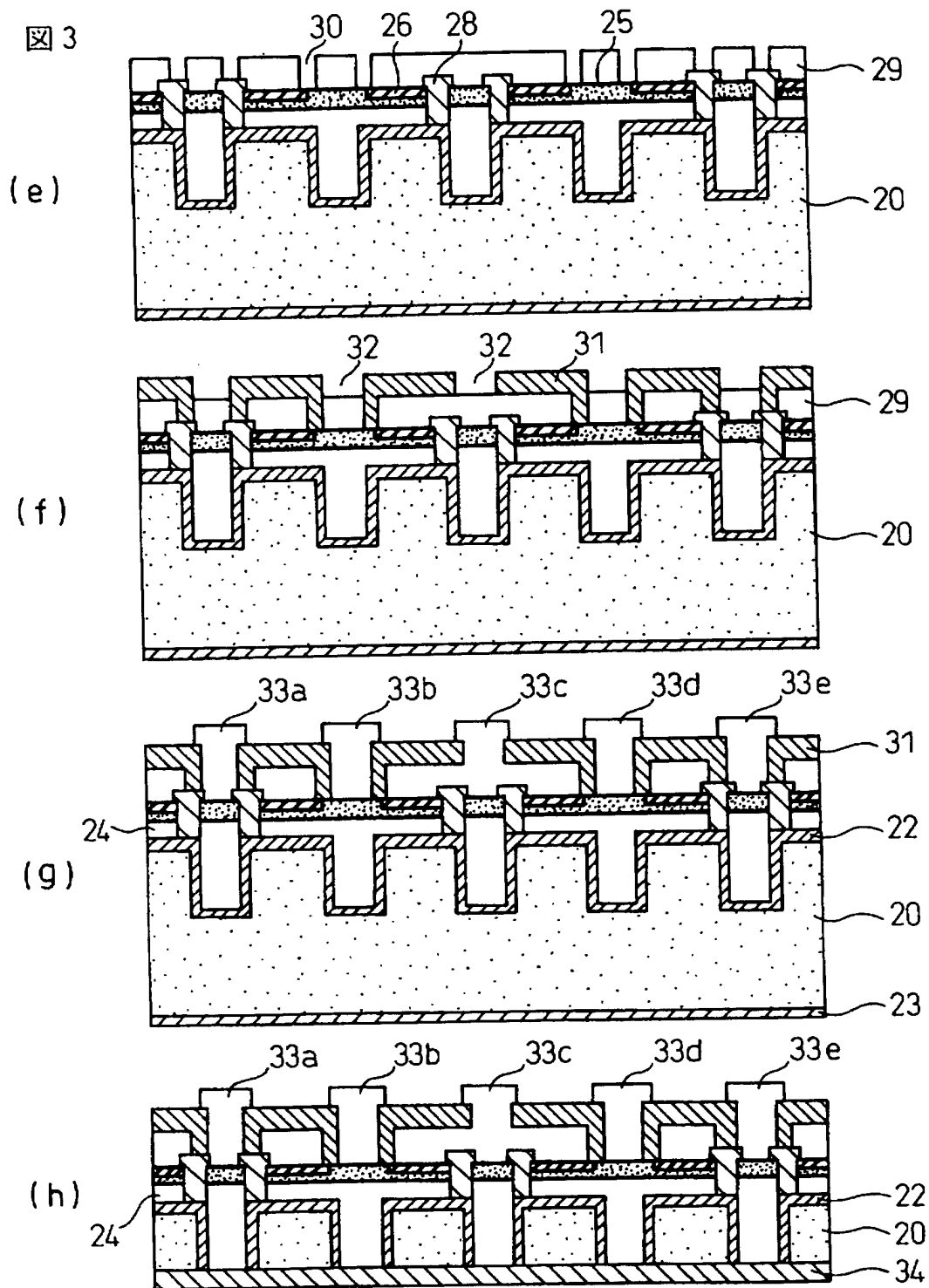


【図 2】

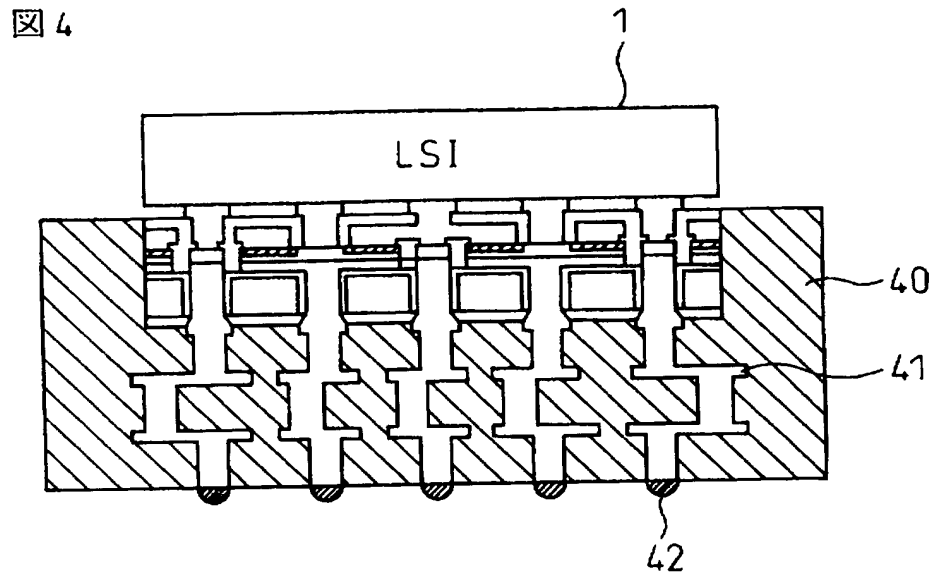
図 2



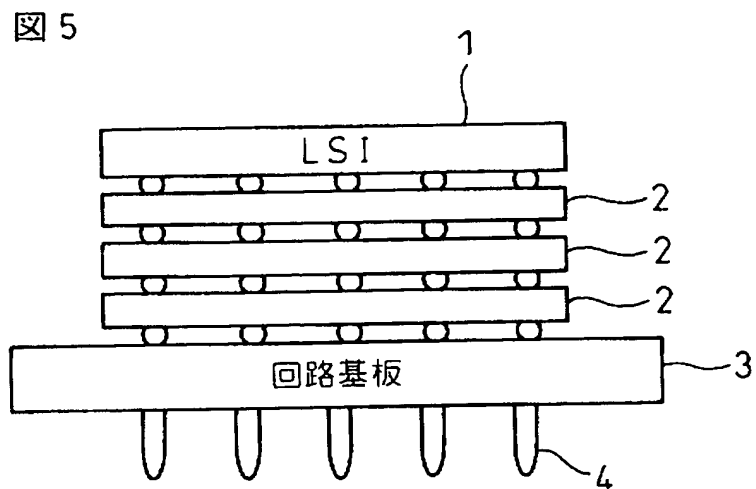
【図 3】



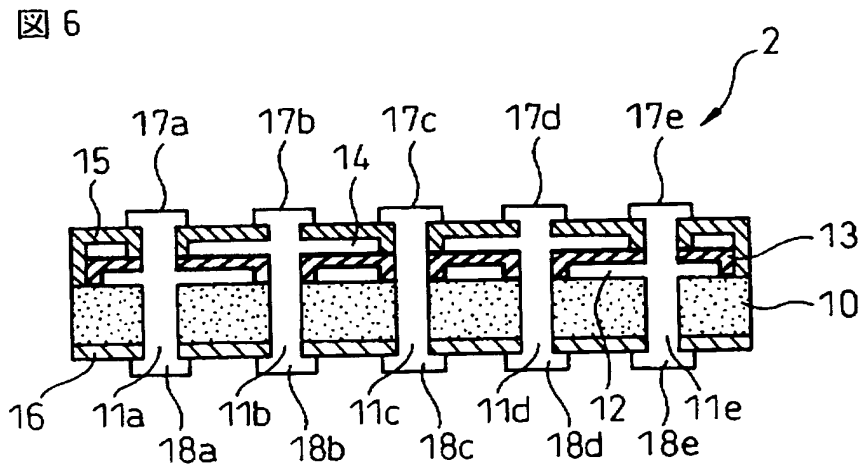
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 本発明は、プリント配線基板に L S I と共にバイパス用コンデンサとして実装され、コア基板を薄化し小型化を図ることにより寄生インダクタンスの発生を抑制し、パッケージ特性を向上した薄膜コンデンサ装置を提供する。

【解決手段】 コア基板20に溝21a～21eを形成した後、第1の導電体膜24を形成するとともに各溝内に第1の導電体を充填する。第1の導電体膜上に金属膜25を形成した後、該金属膜の選択的陽極酸化により誘電体膜26を生成する。該誘電体膜上に第2の導電体膜29を形成し、第2の導電体膜に接続された電極33a～33eを形成する。コア基板の背面部分を各溝まで取り除いた後、各溝内の第1の導電体に接続する電極35a～35eを形成する。誘電体膜を挟む第1の導電体膜と第2の導電体膜によりコンデンサが形成される。

【選択図】 図1

特願 2 0 0 2 - 2 9 2 5 6 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 9 0 6 8 8]

1 . 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

長野県長野市大字栗田字舎利田 7 1 1 番地

氏 名

新光電気工業株式会社